

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-019827

(43)Date of publication of application : 23.01.1989

(51)Int.Cl.

H03L 7/06

H04L 7/02

(21)Application number : 63-149207

(71)Applicant : YOKOGAWA HEWLETT PACKARD LTD

(22)Date of filing : 16.06.1988

(72)Inventor : MAIKERU JIEI REEDEIKU  
DEIBIDO EMU PURATAA

(30)Priority

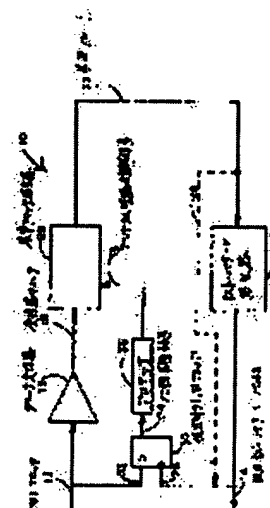
Priority number : 87 65971 Priority date : 24.06.1987 Priority country : US

## (54) SYNCHRONIZING DEVICE

### (57)Abstract:

**PURPOSE:** To easily synchronize an element clock to be tested with the output of a test pattern generator by introducing a programmable delay line to the feedback path of a PLL to set the phase difference of a reference clock and an input receiver clock to a desired value.

**CONSTITUTION:** The reference clock 22 is supplied to an N frequency dividing circuit 54 and this N frequency dividing circuit 54 supplies the frequency divided reference clock 22 to the programmable delay line 56. When many delays are applied by the programmable delay line 56 according to a programmable control signal 38, the phase of the reference clock advances. When the phase of the reference clock 22 is the same as an input clock 12, a phase state signal 34 changes from a high potential to the state of a low potential to stop the advancement of the phase of the reference clock 22. Thereby, it is not required to use a complicate and expensive control circuit and the high accuracy is realized.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-19827

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)1月23日

H 03 L 7/06  
H 04 L 7/02

B-8731-5J  
B-6914-5K

審査請求 未請求 請求項の数 2 (全5頁)

⑮ 発明の名称 同期装置

⑯ 特 願 昭63-149207

⑰ 出 願 昭63(1988)6月16日

優先権主張 ⑱ 1987年6月24日 ⑲ 米国(US) ⑳ 065971

⑳ 発 明 者 マイケル・ジェイ・レ アメリカ合衆国コロラド州ラブランド、ユージン・ドライ  
ーデイク ブ 343  
㉑ 発 明 者 デイビッド・エム・ブラ アメリカ合衆国コロラド州ラブランド、エツジウッド・ド  
ター ライブ 408  
㉒ 出 願 人 横河・ヒューレット・ 東京都八王子市高倉町9番1号  
バツカード株式会社  
㉓ 代 理 人 弁理士 長谷川 次男

2

明 細 書

1. 名 称

同 期 装 置

2. 特許請求の範囲

1. 次の(a)~(d)より成り、入力クロックに回路の出力クロックを同期するための基準クロックを発生する同期装置。

(a) 入力クロックと遅延基準クロック間の位相差に比例する差分信号を発生する位相検出手段。

(b) 前記差分信号を積分し、該差分信号の積分値に比例する電圧信号を出力するフィルタ手段。

(c) 前記電圧信号を受信し、該電圧信号に比例する周波数を有する基準クロックを発生する電圧制御発振器手段。

(d) プログラム可能遅延信号にตอบสนองし、前記基準クロックに所定の遅延を導入して前記遅延基準クロックを出力するプログラム可能遅延線。

(a) 位相状態信号にตอบสนองして同期を達成するために、前記プログラム可能遅延信号を発生するために前記位相状態信号を受信する手段。

2. 前記位相状態信号を受信する手段が、前記入力クロックを結合するデータ入力と前記回路の前記出力クロックを結合するクロック入力とを有するフリップ・フロップから成る請求項1記載の同期装置。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は一般に計測及び試験装置に関し、とくにテスト・パターン生成器のバースを試験中の配線板のクロックに同期する同期装置に関する。

〔従来技術とその問題点〕

印刷配線板上のイン・サーキット試験を実施する過程で部品を適正に試験するのに十分な一連の出力パターン・バースを生成することがしばしば必要である。これらの所定のパターンは部品を試験するための所望のパターンを含むテスト・パターン発生器から生成することができる。テスト・

パターン発生器の出力は通常、配線板上の部品を試験するための所望の出力パルスを生成する一連のドライバに接続されている。

部品の適正な試験を行なうため、テスト・パターン発生器からの出力信号を被試験素子(DUT)からのクロック・パルス(以下入力クロックと呼称する)とを同期化することが必要である。しかし、多くの場合、回路の性質上、クロックをディスエイブルにすることができない。更に、出力テスト・パターンパルス(以下出力信号と呼称する)は、回路の固有の遅延により100ナノ秒又はそれ以上だけ配線板の入力クロックから位相遅延するのが通例である。入力クロックと出力信号の間の位相差によって被試験素子の試験の誤みを招く場合がある。従ってDUTから適正な試験結果を確実に得るため、出力信号をDUTクロックを同期させることが望まれる。今日まで、イン・サーキット配線板テストは出力信号と入力クロックとを同期化する適当な手段を備えることができなかった。

相を変えて出力信号の位相を入力クロック信号の位相と対応するように調整する独自の方法を利用している。このことは、入力と出力の位相が同期するまでPLL(フェーズ・ロック・ループ)の帰還経路内のプログラム可能な遅延線を調整することにより達成される。

#### 〔発明の実施例〕

第1図は本発明の一実施例の同期装置10の概略図である。試験中の素子(図示せず)は部品の試験中にディスエイブルにできないクロック信号(入力クロック)を有する被試験デジタル部品を含む。従って、部品を適正に試験するため、テスト・パターン信号は入力クロックと同期されなければならない。従って本発明の目的は入力クロック12を受け、出力テスト・パターン・パルス14を入力クロック12と同期させることである。これは次のようにして達成される。入力クロック12はしきい値比較器から成るクロック受信器16によって受信されて受信器クロック18を生成し、この信号は第2図に示すフェーズ・ロック・ル

#### 〔発明の目的〕

本発明の目的は回路の出力信号と入力クロックを同期化するための新規な装置によって従来の技術の欠点と限界を克服することである。

#### 〔発明の概要〕

本発明の一実施例では、プログラム可能な制御信号により制御される位相状態を有する基準クロック信号を生成するフェーズ・ロックループを、DUTクロックと回路の出力信号との位相関係を示す位相状態信号を生成する検出器及び、位相状態信号を検出し且つプログラム可能制御信号を生成して基準クロックの位相を変更して出力信号が入力クロックと同期させるようにする手段と共に使用することによって達成される。

本発明の利点は、遅延を生じる回路とは独立して、入力クロックをテストパターン信号と同期させるための簡単で安価な方法を提供することにある。本発明はフェーズ・ロック・ループの帰還経路内のプログラム可能な遅延線を利用することによって、フェーズ・ロック・ループの出力信号の位

相回路から成る基準クロック発生器20に供給される。フェーズ・ロック・ループ20の出力は部品の適正な動作の試験用に用いられる一連の出力テストパターンを同期的に生成するテスト・パターン発生器24へ供給されるクロック信号として機能する基準クロック22である。テスト・パターン発生器24は、所望のテスト・パターンがシーケンシャル・アドレス位置に記憶されるランダム・アクセス記憶装置(RAM)で構成することができる。テスト・パターン発生器24の一部を形成するカウンタ(図示せず)は所望のテスト・パターン出力を提供するためのシーケンシャル・アドレスとして用いられる基準クロック・パルスを累算する。次にテスト・パターン発生器24からの出力信号14がDUTを駆動するために用いられる。出力信号14は校正用フリップ・フロップ30のクロック入力28にも供給される。あるいは、基準クロック22は経路26を経て校正用フリップ・フロップ30に供給することも可能であり、且つ計算されたオフセットをテストパターン

発生器24の遅延を予知された限度内に補償するために導入可能である。更に、入力クロック12は校正用フリップ・フロップ30のデータ入力32に供給される。その結果、位相状態信号34が校正用フリップ・フロップ30の出力に生成される。位相状態信号34はクロック入力28が高電位になるまえにデータ入力32が高電位である場合だけ高電位である。従って、出力信号14に先立ち入力クロック12が生起するかぎり、位相状態信号34は高電位に解する。しかし、入力クロック12のまえに出力信号14が生起すると、位相状態信号34は低電位となる。このようにして、位相状態信号34は、出力信号14の位相が入力クロック12の位相と一致する交点の表示を与える。あるいは、データ入力とクロック入力は本発明の機能に影響を及ぼすことなく逆にすることができる。

位相状態信号34は、位相状態信号34を検出し且つ基準クロック発生器20(PLL)に供給されて後述するように基準クロック22の位相を

調整するプログラム可能制御信号38を生成するプロセッサ36に供給される。プロセッサ36によるプログラム制御信号38の調整は位相状態信号34の状態が変化する(これによって入力クロック12と出力テスト・パターン・パルス14の実質的な同期が表示される)までプログラム可能制御信号の値を増減する簡単な逐次プロセスから成っている。

第2図はプロセッサ36により生成されるプログラム可能制御信号38に応答して基準クロック22の位相を変化させる、第1図に示した基準クロック発生器20の構成図である。第2図を参照すると、受信器クロック18は受信器クロック18を所与の数Mで割るM分周回路40への入力である。M分周回路40の出力は、M分周回路40から受信される入力クロック信号と遅延基準クロック46との間の位相差に比例するパルス幅を有する位相検出器差分信号44を生成する位相検出器42に供給される。

位相検出器差分信号44は、位相検出器差分信

号44を積分し且つ受信器クロック18と遅延基準クロック46との位相差に比例する電圧値を有する電圧信号50を生成するための積分器から成るフィルタ48に供給される。電圧信号50は電圧信号50の電圧と比例する周波数を有する基準クロック22を生成する電圧制御発振器52に供給される。次に基準クロック22はN分周回路54に供給され、このN分周回路54は分周された基準クロック22をプログラム可能遅延線56へと供給する。プログラム可能遅延線56はプログラム可能制御信号38に従って遅延を導入する機能を果たす。プログラム可能遅延線56によって遅延が基準クロック22に加えられると、位相検出器差分信号44は瞬時増分し、それにより電圧信号50を瞬時増分して、電圧制御発振器52がその周波数を瞬時増分するようにせしめ、位相検出器42により検出される位相差をオフセットする。従って、プログラム可能制御信号38によってプログラム可能遅延線56により多くの遅延が加えられると、基準クロックの位相は前進する。この

ようにして、プロセッサ36(第1図参照)がプログラム可能制御信号38を増分する逐次型プロセスを進行するにつれ、基準クロック22の位相は出力信号14が入力クロック12と同相になるまで前進せしめられる。第1図を参照すると、それによって位相状態信号34は高電位から低電位の状態になりプロセッサに対してプログラム可能遅延線56(第2図)を通して遅延を導入する逐次型プロセスを停止するよう信号を送り、基準クロック22の位相の更なる前進を停止せしめる。プログラム可能遅延線の分解能によってのみ左右される分解能が、複雑で高価な制御回路を使用する必要なく高度の正確さをもって達成可能である。

本発明のこれまでの説明は図解と説明の目的で開示されたものである。本発明を開示した形式に厳密に限定したり制限することを意図するものではなく、上述の教示のもとで別の修正又は変形が可能である。例えば、本発明は試験用装置又は計器に限定する必要はなく、例えばレーダシステム、巡航システム、超音波画像装置等の、位相又

は時間の相関性を制御しなければならない任意の回路に利用できる。本実施例は本発明の原理と実際の応用を最も簡明に説明して当業者が、意図する実際の用途に適合するように多様な実施例と多様な修正例に本発明を利用できるように選択して説明されたものである。

〔発明の効果〕

以上詳述したように、本発明の実施により入力信号と所定位相差を有する基準クロックを発生する基準クロック発生器が得られる。さらに、該基準クロック発生器を使用することにより、被試験配線板からのクロックに、試験用テスト・パターン発生器出力を容易に同期することができる。

本発明ではプログラム可能な遅延線を、PLLの帰還経路に導入することにより、基準クロックと入力受信器クロックの位相差が所望値に設定され、DUTクロックとテスト・パターン発生器の出力との同期を容易にしている。

4. 図面の簡単な説明

第1図は本発明の一実施例の同期装置の略図、

第2図は第1図の基準クロック発生器の略図である。

- 10：同期装置
- 12：DUTクロック（入力クロック）
- 14：出力テスト・パターン・パルス（出力信号）
- 16：クロック受信器
- 18：受信器クロック
- 20：基準クロック発生器
- 22：基準クロック
- 24：テスト・パターン発生器
- 28：クロック入力
- 30：校正用フリップ・フロップ
- 32：データ入力
- 36：プロセッサ
- 38：プログラム可能制御信号
- 40：M分周器
- 42：位相検出器
- 44：位相検出器差分信号
- 46：遅延基準クロック
- 48：フィルタ

- 50：電圧信号
- 52：電圧制御発振器
- 54：N分周器
- 56：プログラム可能遅延線。

出願人 横河・ヒューレット・パッカード株式会社

代理人 弁理士 長谷川 次 男

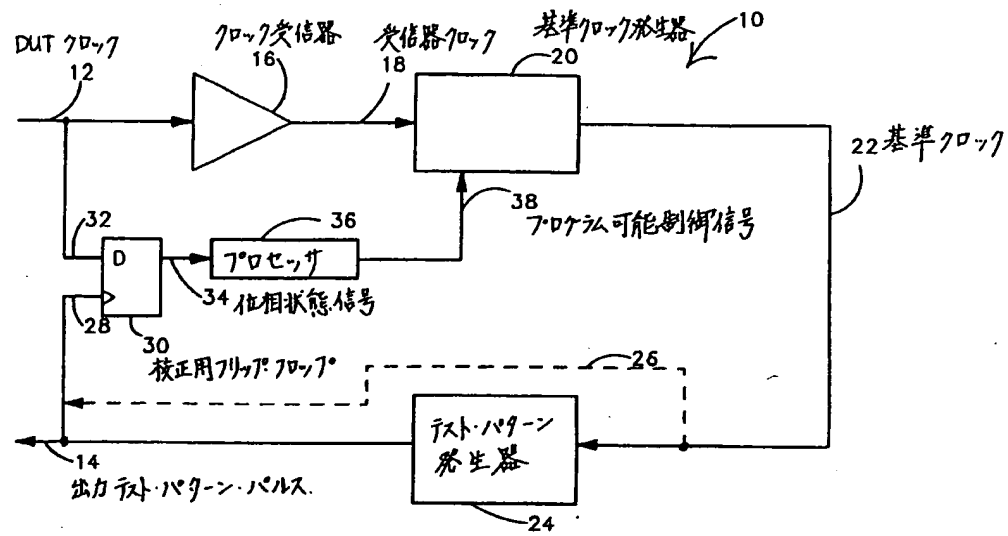


FIG 1

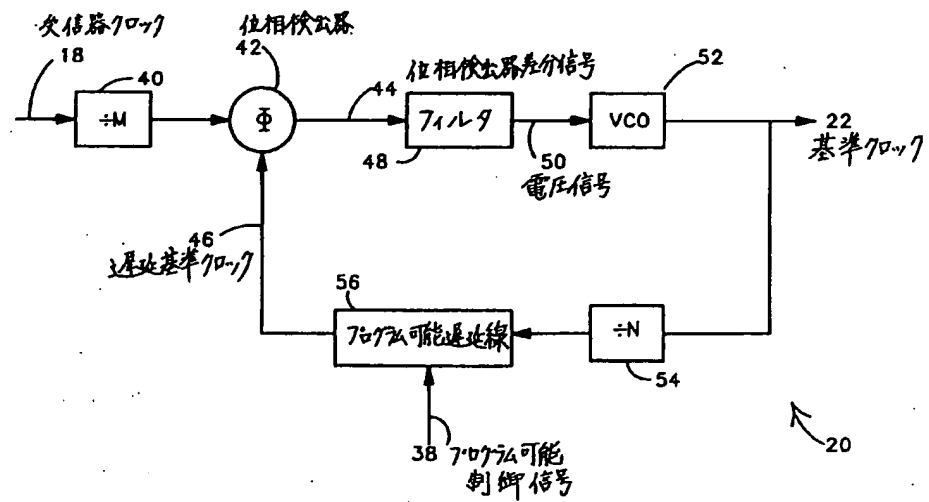


FIG 2